



500.43281X00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): MAKUUCHI, et al.

Serial No.: 10/714,943

Filed: November 18, 2003

Title: SEMICONDUCTOR DEVICE AND TESTING METHOD OF
SEMICONDUCTOR DEVICE

LETTER CLAIMING RIGHT OF PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

February 6, 2004

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby
claim(s) the right of priority based on:

Japanese Patent Application No. 2003-091313
Filed: March 28, 2003

A certified copy of said Japanese Patent Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP

Gregory E. Montone

Registration No.: 28,141

GEM/rr
Attachment

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 3月28日
Date of Application:

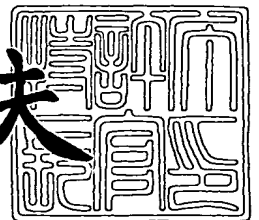
出願番号 特願2003-091313
Application Number:
[ST. 10/C]: [JP 2003-091313]

出願人 株式会社ルネサステクノロジ
Applicant(s):

2003年11月18日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3088776

【書類名】 特許願

【整理番号】 K03000761

【提出日】 平成15年 3月28日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 29/00

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町 2 9 2 番地 株式会社日立
製作所 生産技術研究所内

【氏名】 幕内 雅巳

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町 2 9 2 番地 株式会社日立
製作所 生産技術研究所内

【氏名】 今川 健吾

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町 2 9 2 番地 株式会社日立
製作所 生産技術研究所内

【氏名】 中條 徳男

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町 2 9 2 番地 株式会社日立
製作所 生産技術研究所内

【氏名】 折橋 律郎

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 荒井 祥智

【発明者】

【住所又は居所】 千葉県茂原市早野 3 6 8 1 番地 日立デバイスエンジニ
アリング株式会社内

【氏名】 大淵 篤

【特許出願人】**【識別番号】** 000005108**【氏名又は名称】** 株式会社日立製作所**【代理人】****【識別番号】** 100080001**【弁理士】****【氏名又は名称】** 筒井 大和**【電話番号】** 03-3366-0787**【手数料の表示】****【予納台帳番号】** 006909**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 半導体装置およびその試験方法

【特許請求の範囲】

【請求項 1】 液晶駆動回路を有する半導体装置であって、

前記液晶駆動回路は、デジタル機能部と、アナログ機能部と、前記デジタル機能部と前記アナログ機能部とを機能的に分割し、前記デジタル機能部の試験結果の出力を前記アナログ機能部を介さずに前記液晶駆動回路の外部に出力する第 1 端子とを有することを特徴とする半導体装置。

【請求項 2】 液晶駆動回路を有する半導体装置であって、

前記液晶駆動回路は、デジタル機能部と、アナログ機能部と、前記デジタル機能部と前記アナログ機能部とを機能的に分割し、前記アナログ機能部の試験を前記デジタル機能部と独立に行うために前記液晶駆動回路の外部から制御する第 2 端子とを有することを特徴とする半導体装置。

【請求項 3】 請求項 1 または 2 記載の半導体装置において、

前記デジタル機能部は、表示コントローラと表示データ RAM とを含み、

前記アナログ機能部は、階調電圧生成回路と階調電圧選択回路とを含み、

前記表示データ RAM の出力を保持する保持手段を有し、

前記保持手段に保持されたデータを前記第 1 端子を介して前記液晶駆動回路の外部に読み出し、前記保持手段に前記第 2 端子を介して前記液晶駆動回路の外部から所定のデータを設定することを特徴とする半導体装置。

【請求項 4】 請求項 3 記載の半導体装置において、

前記第 1 端子および／または前記第 2 端子は、通常動作時に使用する端子と共有して用いることを特徴とする半導体装置。

【請求項 5】 液晶駆動回路を有する半導体装置であって、

前記液晶駆動回路は、少なくとも表示コントローラを含むデジタル機能部と、階調電圧生成回路と階調電圧選択回路とを含むアナログ機能部と、前記階調電圧生成回路の出力を所定の 2 値電圧値に切り替える切り替え手段とを有することを特徴とする半導体装置。

【請求項 6】 デジタル機能部と、アナログ機能部とを含む液晶駆動回路

を有する半導体装置の試験方法であって、

前記デジタル機能部と前記アナログ機能部とを機能的に分割し、前記デジタル機能部の試験結果の出力を前記アナログ機能部を介さずに第1端子を介して前記液晶駆動回路の外部に出力することを特徴とする半導体装置の試験方法。

【請求項7】 デジタル機能部と、アナログ機能部とを含む液晶駆動回路を有する半導体装置の試験方法であって、

前記デジタル機能部と前記アナログ機能部とを機能的に分割し、前記アナログ機能部の試験を前記デジタル機能部と独立に行うために第2端子を介して前記液晶駆動回路の外部から制御することを特徴とする半導体装置の試験方法。

【請求項8】 請求項6または7記載の半導体装置の試験方法において、前記デジタル機能部と前記アナログ機能部とを独立に制御し、前記デジタル機能部の試験と前記アナログ機能部の試験とを並列して行うことを特徴とする半導体装置の試験方法。

【請求項9】 請求項8記載の半導体装置の試験方法において、前記デジタル機能部の試験は、表示機能試験であり、前記アナログ機能部の試験は、階調出力試験であることを特徴とする半導体装置の試験方法。

【請求項10】 表示コントローラと表示データRAMとを含むデジタル機能部と、階調電圧生成回路と階調電圧選択回路とを含むアナログ機能部とを含む液晶駆動回路を有する半導体装置の試験方法であって、

前記階調電圧生成回路の出力を切り替え手段により所定の2値電圧値に切り替え、各階調電圧を異なる2値の電圧値に選択的に設定して、前記液晶駆動回路の出力電圧を2値電圧化して階調出力試験を行うことを特徴とする半導体装置の試験方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、液晶駆動回路を有する半導体装置およびその試験方法に関し、特に記憶部に取り込んだデータに基づいて多数の外部端子のそれぞれに所定レベルの

電圧を選択して出力する液晶駆動回路に適用して有効な技術に関する。

【0002】

【従来の技術】

本発明者が検討した技術として、一般的な携帯用カラーTFT液晶ドライバなどの液晶駆動回路に関しては、たとえば図11に示すような構成のものが考えられる。この液晶駆動回路は、外部インタフェースを介して表示データRAM12に書き込まれたデータを液晶表示データの1ライン毎にラインバッファ31で保持し、階調電圧選択回路33内の各スイッチ回路34において階調電圧生成回路32で生成した所定のレベルである階調電圧を、ラインバッファ31で保持した液晶表示データに基づいて選択して各出力端子に出力する。そして、この液晶駆動回路が出力した階調電圧に応じて、液晶パネルの各画素が保持容量に充電されることで、液晶パネルでは各画素の輝度が制御される。

【0003】

この液晶駆動回路の試験時には、テスト35から外部インタフェースを介して液晶駆動回路に任意の試験パターンを印加し、表示データRAM12へのデータ書き込み、表示コントローラ11の制御などを実行することで、階調電圧選択回路33内の各スイッチ回路34から出力端子に任意の階調電圧を出力させ、これをテスト35で測定して試験を行うようになっている。

【0004】

上記説明したように、液晶駆動回路は、表示コントローラと表示データRAMとで構成されるデジタル機能部と、階調電圧生成回路と階調電圧選択回路とで構成されるアナログ機能部とが一体となって動作する。従って、液晶駆動回路のデジタル機能試験を実施する場合、出力端子から出力される所定レベルの階調電圧を測定する必要がある。液晶駆動回路は、低消費電力化のために階調電圧出力の駆動能力を上げることが困難であり、階調電圧測定時間の高速化が実現できず、一方で高機能化に応じて試験項目が増大するために試験時間が増加し、低コスト化が困難であるという課題を有している。

【0005】

また、上記の液晶駆動回路においては、たとえば図12に示すような階調電圧

生成回路 32、階調電圧選択回路 33（スイッチ回路 34）の構成のものが考えられる。この階調電圧生成回路 32においては、階調生成電圧 V_0 を基準として、これを任意の比率で n 分圧することで、任意の n 階調の階調電圧を生成する。そして、階調電圧選択回路 33 内に配置した各スイッチ回路 34 において、ラインバッファに保持した階調設定データに応じて任意の階調電圧を選択して出力が行われる。

【0006】

この液晶駆動回路において、出力端子における階調電圧の試験を行う場合、ラインバッファに設定した階調設定データにより各出力端子の出力電圧を所定の階調電圧値に設定し、各出力端子毎に A/D コンバータなどで電圧測定を行って、これを全ての階調電圧について測定して試験を行っている。従って、上述した階調出力電圧の駆動能力の制限により試験時間の高速化が困難であり、液晶パネルの高精細化に対応した液晶駆動回路の出力端子数または階調段階数の増加に対して試験時間が増加し、低コスト化が困難であるという課題を有している。

【0007】

これらの課題を解決するため、たとえば特許文献 1 などで示されるような試験の高速化を図る技術が提案されている。この技術は、液晶駆動回路が、表示データ RAM を介してラインバッファなどの記憶回路に液晶表示データを保持して階調試験を行うと同時に、ラインバッファへの書き込みを停止して表示データ RAM の試験を行う構成とすることで、試験時間の短縮を図っている。

【0008】

【特許文献 1】

特開 2002-197899 号公報

【0009】

【発明が解決しようとする課題】

ところで、前記特許文献 1 の技術について、本発明者が検討した結果、以下のようなことが明らかとなった。すなわち、前記特許文献 1 には、試験の高速化を図る技術が提案されているが、液晶駆動回路の高機能化ならびに出力端子の増加に対応して液晶駆動回路の低コスト化を図るためには、さらなる試験時間の短縮

を実現する必要がある。また、この特許文献1には、表示データRAM単体の機能試験と、ラインバッファに取り込んだデータを利用した電気特性試験とを並列して実行することが可能であるが、機能的な分割および試験項目などが具体的に開示されていない。

【0010】

そこで、本発明の目的は、液晶駆動回路を機能的に分割し、それぞれ独立に制御して試験を可能とすることで、液晶駆動回路の高機能化ならびに出力端子の増加に対しても、さらなる試験時間の短縮を実現し、試験の高速化、さらには低コスト化を図ることができる液晶駆動回路を有する半導体装置の試験技術を提供することにある。

【0011】

【課題を解決するための手段】

上記目的を達成するために、本発明は、デジタル機能部およびアナログ機能部に加えて、デジタル機能部の試験結果を外部に出力する第1端子を有し、デジタル機能部とアナログ機能部とを機能的に分割し、デジタル機能部の出力を液晶駆動回路の外部に出力するものである。あるいは、アナログ機能部の試験を外部から制御する第2端子を有し、液晶駆動回路の外部から階調電圧選択回路の制御をデジタル機能部と独立に制御するものである。また、デジタル機能部の試験をアナログ機能部と独立して行うものである。これにより、デジタル機能部の試験をアナログ機能部と独立して、高速な機能試験を実現可能とするものである。

【0012】

また、本発明は、アナログ機能部に含まれる階調電圧生成回路の出力を所定の2値電圧値に切り替える切り替え手段を有し、階調電圧生成回路の出力電圧を2値電圧に切り替えて、各階調電圧を異なる2値の電圧に選択的に設定するものである。これにより、液晶駆動回路の出力電圧を2値電圧化して、高速な階調出力試験を実現可能とするものである。

【0013】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0014】

まず、図1により、本発明の一実施の形態の液晶駆動回路を有する半導体装置の構成および動作の一例を説明する。図1は本実施の形態の液晶駆動回路を有する半導体装置の構成図を示す。

【0015】

本実施の形態の液晶駆動回路を有する半導体装置は、たとえば携帯用カラーTFT液晶ドライバなどに適用され、液晶パネルにゲート信号を印加するゲートドライバ1と、液晶パネルに階調出力電圧を印加するソースドライバ2と、液晶パネルの駆動電圧を発生する液晶駆動電圧発生回路3などを含む液晶表示コントローラ4として構成され、この液晶表示コントローラ4が1個の半導体装置として形成される。なお、後述するMPUも含めて1個の半導体装置として構成することも可能である。

【0016】

この液晶表示コントローラ4は、TFTがマトリクス状に配置された液晶パネル5に接続され、この液晶パネル5に対して、任意の表示ラインを選択するゲート信号をゲートドライバ1から印加し、この選択した表示ラインの各画素に対してソースドライバ2から階調出力電圧を印加することで、目標とする画素の保持容量に充電を行って各画素の輝度が制御されるようになっている。

【0017】

また、液晶表示コントローラ4は、MPU6に接続され、このMPU6により各動作の演算・処理が制御されるようになっている。

【0018】

次に、図2により、本実施の形態の液晶駆動回路の構成および動作の一例を説明する。図2は本実施の形態の液晶駆動回路の構成図を示す。

【0019】

本実施の形態の液晶駆動回路は、たとえば前記図1に示したソースドライバ1

に適用される。このソースドライバ1を含む液晶表示コントローラ4は、外部インタフェースを介したデータの書き込みおよび読み出しを制御する表示コントローラ11と、書き込みまたは読み出しのデータを記憶する表示データRAM12と、この表示データRAM12に書き込まれたデータを保持するシフトレジスタ（保持手段）13と、所定のレベルの階調電圧を生成する階調電圧生成回路14と、この階調電圧生成回路14で生成された所定の階調電圧を選択する階調電圧選択回路15などから構成され、階調電圧選択回路15には複数のスイッチ回路16が含まれる。この液晶表示コントローラ4では、表示コントローラ11と表示データRAM12からデジタル機能部が構成され、階調電圧生成回路14と階調電圧選択回路15からアナログ機能部が構成される。

【0020】

この液晶表示コントローラ4は、通常動作時において、表示コントローラ11が外部インタフェースを介してMPU6に接続され、さらに階調電圧選択回路15から出力端子を介して液晶パネル5に接続されている。また、イネーブル（Enable）端子、データ入力（Data In）端子、シフトクロック（SCLK）端子は外部において接地電位に接続され、データ出力（Data Out）端子は外部において開放状態にある。また、内部では、Enable端子とData In端子、Enable端子とSCLK端子からのそれぞれの信号が論理ゲートを介してシフトレジスタ13に入力され、またEnable端子からの信号と表示コントローラ11からのラッチクロックが論理ゲートを介してシフトレジスタ13にLoad入力として入力され、またシフトレジスタ13からSerial Out出力としてData Out端子から出力される。

【0021】

通常動作時は、この接続状態において、Enable端子を介してシフトレジスタ13のLoad入力を有効、およびData In端子、SCLK端子の入力が無効な状態となっており、表示データRAM12の出力を表示コントローラ11が出力するラッチクロックでシフトレジスタ13に保持し、このシフトレジスタ13の出力に応じて階調電圧選択回路15を制御して所定の階調電圧を出力端子に出力し、従来回路（図11）と同等な動作を行う。

【0022】

また、この液晶表示コントローラ4において、デジタル機能部、アナログ機能の試験時は、表示コントローラ11への外部インタフェース、階調電圧選択回路15からの出力端子、E n a b l e端子（第2端子）、D a t a I n端子（第2端子）、S C L K端子（第2端子）、D a t a O u t端子（第1端子）がそれぞれテストに接続され、このテストからの信号により各種試験が行われる。ここでは、デジタル機能部、アナログ機能部の試験時の動作概要のみを説明し、各種試験項目についての詳細は後述する。

【0023】

デジタル機能部の試験時には、通常動作時と同じ状態でシフトレジスタ13に表示データRAM12の出力を保持させた後に、E n a b l e端子を介してシフトレジスタ13のL o a d入力を無効、D a t a I n端子、S C L K端子の入力を有効な状態に設定し、S C L K端子からシフトクロックを入力してD a t a O u t端子を介してシフトレジスタ13で保持された表示データRAM12の出力を順次外部に読み出して、期待値と比較判定を行う。

【0024】

一方、アナログ機能部の試験時には、E n a b l e端子を介してシフトレジスタ13のL o a d入力を無効、D a t a I n端子、S C L K端子の入力を有効な状態に設定し、S C L K端子から入力するシフトクロックに同期させた所定のデータをD a t a I n端子に入力してシフトレジスタ13に設定することで、階調電圧選択回路15の機能試験をデジタル機能部と独立して実施することができる。

【0025】

次に、図3により、本実施の形態において、シフトレジスタをN分割した場合の液晶駆動回路の構成および動作の一例を説明する。図3はシフトレジスタをN分割した場合の液晶駆動回路の構成図を示す。

【0026】

図3に示すように、この液晶表示コントローラ4aは、出力端子をN分割し、これに伴いシフトレジスタ13、階調電圧選択回路15もN分割し、N個のシフ

トレジスタ 13a～13n に対して N 本 (0～n) の Data In 端子および Data Out 端子を配設することで、シフトレジスタ 13a～13n からの保持データ読み出し時間およびシフトレジスタ 13a～13n へのデータ設定時間を、前記図 2 に示した液晶表示コントローラ 4 に対して N 分の 1 の時間で実現することができる。

【0027】

また、図 2 および図 3 に示した液晶表示コントローラ 4 および 4a において、Data In 端子、Data Out 端子、SCLK 端子などの端子は液晶駆動回路の通常動作時には使用しない端子であることから、試験実施の有無に応じて外部インタフェースの端子と切り替えて使用することが可能であり、従来回路 (図 11) で用いていた端子との共用化が可能となる。また、液晶表示コントローラの内部において、入出力切替回路を用いることで、Data In 端子と Data Out 端子とを共用化できることは言うまでもない。

【0028】

次に、図 4 により、本実施の形態において、シフトレジスタを 2 段構成にした場合の液晶駆動回路の構成および動作の一例を説明する。図 4 はシフトレジスタを 2 段構成にした場合の液晶駆動回路の構成図を示す。

【0029】

図 4 に示すように、この液晶表示コントローラ 4b は、表示データ RAM 12 の出力データを保持するシフトレジスタ (1) 13 と、階調電圧選択回路 15 を制御するシフトレジスタ (2) 17 とを配設することで、表示コントローラ 11 から表示データ RAM 12 を介した表示機能試験と、階調電圧生成回路 14 と階調電圧選択回路 15 を含む階調出力試験とを並列して実行し、試験時間の短縮を図ることができる。

【0030】

すなわち、表示機能試験において、シフトレジスタ (1) 13 に任意の表示データ RAM 12 の出力データを保持し、SCLK (1) 端子を介してシフトクロックをテストから印加することで、Data Out (1) 端子を介して期待値と比較判定を行う。また、これと同時に、テストから Data In (2) 端子を介

して階調設定データをシフトレジスタ (2) 17 に設定し、出力端子を介してテストで期待値と比較判定を行う。

【0031】

なお、通常動作時は、シフトレジスタ (1) 13 およびシフトレジスタ (2) 17 とともに、同一のラッチクロックを Load 入力することで、表示データ RAM 12 の任意のデータをシフトレジスタ (2) 17 に保持して表示動作を行うことができる。

【0032】

ここでは、並列試験実現の原理を述べたものであり、たとえば Data In (1) 端子と Data In (2) 端子は同一の入力端子から選択的に入力できる構成としてもよく、また Data Out (1) 端子と Data Out (2) 端子も同一の出力端子に選択的に出力可能な構成としてもよい。また、これらの信号は通常動作時には使用しないため、試験実施の有無に応じて外部インタフェースの端子と切り替えて使用することが可能であり、従来回路 (図 11) で用いていた端子と共用化が可能であることは言うまでもない。

【0033】

次に、図 5 および図 6 により、本実施の形態において、液晶駆動回路を構成する階調電圧生成回路および階調電圧選択回路の構成および動作の一例を説明する。それぞれ、図 5 は階調電圧生成回路および階調電圧選択回路の回路図、図 6 は各信号と階調出力との関係の説明図を示す。

【0034】

図 5 に示すように、階調電圧生成回路 14 は、階調生成電圧 V_0 を任意の比率で n 分圧する分圧抵抗 R と、この分圧抵抗 R による各分圧電圧を増幅する複数のオペアンプ $OA_1 \sim OA_8$ と、各オペアンプ $OA_1 \sim OA_8$ の出力電圧と試験用電圧 V_H/V_L とを切り替える複数のスイッチ (切り替え手段) $SA_1 \sim SA_8$ と、各スイッチ $SA_1 \sim SA_8$ で切り替えられた電圧を増幅する複数のオペアンプ $OA_{11} \sim OA_{18}$ と、各スイッチ $SA_1 \sim SA_8$ の切り替えを制御するデコード回路 (切り替え手段) 21 などを含み、この階調電圧生成回路 14 の出力を所定の V_H または V_L の 2 値電圧値に切り替えられる構成となっている。

【0035】

また、階調電圧選択回路15は、各ラインに対応した複数のスイッチ回路16などから構成され、各スイッチ回路16には階調電圧生成回路14の出力をON/OFFする複数のスイッチS01～S08と、各スイッチS01～S08のON/OFFを制御するデコーダ回路22などが含まれている。各スイッチS01～S08には、入力側に階調電圧生成回路14からの各出力がそれぞれ入力され、共通に接続された出力側から階調電圧が出力される。

【0036】

この階調電圧生成回路14、階調電圧選択回路15において、階調電圧生成回路14のデコーダ回路21にはイネーブル信号、極性反転信号および電圧選択信号が入力され、スイッチ制御信号(1)を出力して各スイッチSA1～SA8の切り替えを制御し、またスイッチ回路16のデコーダ回路22には階調設定データが入力され、スイッチ制御信号(2)を出力して各スイッチS01～S08のON/OFFを制御するように動作し、階調設定データ、イネーブル信号、極性反転信号および電圧選択信号の各信号の設定に対する階調電圧生成回路14の出力、さらに階調電圧選択回路15の各スイッチ回路16からの階調出力の関係は図6に示すようになる。

【0037】

図6において、イネーブル信号が“0”のときは通常動作状態であり、この状態では階調電圧生成回路14の出力V1～V8はそのまま8階調の階調電圧として出力される。一方、イネーブル信号が“1”のときは試験状態であり、この状態で極性反転信号が“0”の場合に電圧選択信号を階調設定データと同じに設定することで、階調出力は全てVHの高い電圧レベルになり、また極性反転信号が“1”で電圧選択信号を階調設定データと同じに設定した場合は、逆に階調出力は全てVLの低い電圧レベルとなる。

【0038】

このように、本実施の形態における液晶駆動回路では、階調電圧生成回路14の出力をVHまたはVLの2値電圧値に切り替えられる構成とし、シフトレジスタ13に設定された階調設定データに応じて、階調電圧選択回路15内の選択状

態にあるスイッチと非選択状態にあるスイッチとに供給する階調電圧を、一方が V_H であれば他方は V_L であるような異なる電圧レベルとなるように制御して、外部のテストにより全出力端子を同時に期待値電圧との比較を行って、階調出力試験の高速化を実現することができる。

【0039】

すなわち、本実施の形態では、前述した従来回路（図12）の階調出力試験を、階調電圧選択回路15内のスイッチ回路16を構成するスイッチ $SO1 \sim SO8$ のオープンまたはショート不良などの機能試験に置き換えて実行することで、階調出力試験の高速化を実現することが可能となっている。

【0040】

なお、階調電圧生成回路14においては、オペアンプ $OA11 \sim OA18$ となる出力バッファ回路を設けなくてもよく、また試験用電圧 V_H および V_L は、階調生成電圧 V_0 から n 分圧した何れかの階調電圧を用いてもよいことは言うまでもない。

【0041】

次に、図7により、本実施の形態において、階調電圧生成回路内のスイッチ回路をトーナメント形で形成した場合の構成および動作の一例を説明する。図7（a），（b）は階調電圧生成回路内のスイッチ回路をトーナメント形で形成した場合の回路図と試験時の電圧値の説明図を示す。

【0042】

階調電圧選択回路内のスイッチ回路16aが、トーナメント形で形成される場合は、1段目には8個のスイッチ $SO11 \sim SO18$ 、2段目には4個のスイッチ $SO21 \sim SO24$ 、3段目には2個のスイッチ $SO31$ 、 $SO32$ をそれぞれ設け、1段目のスイッチを階調設定データ D_0 で制御し、同様に2段目を D_1 、3段目を D_2 でそれぞれ制御して、階調電圧を出力するように構成される。

【0043】

このスイッチ回路16a内においては、2組の2：1選択枝の出力が次段の2：1選択枝の入力において互いに異なる2値の電圧レベル（ V_H または V_L ）となるように階調電圧生成回路14の出力電圧を2値電圧値として出力することに

より、各スイッチのONまたはOFFの状態に関係なく、階調電圧生成回路14の出力電圧は互いに異なる電圧を設定すればよく、階調電圧生成回路14内に配設した2値電圧切り替え回路の簡略化を図ることができる。

【0044】

たとえば、図7(b)に示すように、試験時において、階調設定データ“000”の場合は、階調電圧生成回路の出力電圧が順にV_H, V_L, V_L, V_H, V_L, V_H, V_H, V_Lに設定すれば、1段目のスイッチS011～S018の出力電圧は順にV_H, V_L, V_L, V_H、2段目のスイッチS021～S024の出力電圧は順にV_H, V_L、3段目のスイッチS031, S032の出力電圧はV_Hになり、最終的にスイッチ回路16aの出力電圧をV_Hとして出力することができる。

【0045】

次に、図8～図10により、本実施の形態の液晶駆動回路を有する半導体装置のテストフローの一例を説明する。それぞれ、図8は個別試験項目を高速化する場合、図9は試験項目を並列化する場合、図10は試験項目を並列化する別の場合のテストフロー図を示す。

【0046】

液晶駆動回路を有する半導体装置は、製造工程において、電圧、電流、抵抗値などを測定して評価するDC試験、外部インタフェース試験、表示データRAMに対して外部インタフェースを介した任意データの書き込みおよび読み出しによるRAM試験、階調出力試験、液晶駆動回路全体としての表示機能試験などの各試験を実施して良品・不良品の選別を行う。

【0047】

たとえば、本実施の形態においては、図8に示すように、個別試験項目のDC試験(ステップS1)、外部インタフェース試験(ステップS2)、RAM試験(ステップS3)、階調出力試験(ステップS4)、表示機能試験(ステップS5)を順に試験する場合は、前記図2～図4で示した方式を用いることで、ステップS5の表示機能試験を高速化することができ、また前記図5～図7に示した方式を用いることで、ステップS4の階調出力試験の高速化を実現できる。

【0048】

また、図9に示すように、前記図2～図4で示した方式を用いて、外部インタフェースと独立してシフトレジスタ13を制御することにより、外部インタフェース試験（ステップS2）およびRAM試験（ステップS3）と、階調出力試験（ステップS4）とを互いに独立に実行することが可能であり、試験の並列処理による高速化が実現できる。

【0049】

また、図10に示すように、前記図4の方式を用いることで、液晶駆動回路内部のデジタル機能部とアナログ機能部とを分離して試験することが可能となり、外部インタフェース試験（ステップS2）、RAM試験（ステップS3）および表示機能試験（ステップS5）と、階調出力試験（ステップS4）とを並列に試験することが可能となり、試験の高速化が実現可能となる。

【0050】

従って、本実施の形態の液晶駆動回路を有する半導体装置によれば、以下のような効果を得ることができる。

【0051】

（1）液晶駆動回路のデジタル機能部とアナログ機能部とを機能的に分割することにより、デジタル機能部の試験をアナログ機能部と独立して行うことができるので、デジタル機能部の高速な機能試験を実現することができる。

【0052】

（2）階調電圧生成回路14の出力電圧を2値電圧に切り替えることにより、液晶駆動回路の出力電圧を2値電圧化することができるので、高速な階調出力試験を実現することができる。

【0053】

以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0054】**【発明の効果】**

以上説明したように、本発明によれば、液晶駆動回路のデジタル機能部とアナログ機能部とを機能的に分割することで、デジタル機能部の高速機能試験が実現可能となり、試験時間の短縮による液晶駆動回路の低コスト化を実現することができる。

【0055】

また、本発明によれば、階調出力試験を階調電圧選択回路のスイッチ試験に置き換えることで、階調出力試験の高速化が実現可能となり、試験時間の短縮による液晶駆動回路の低コスト化を実現することができる。

【0056】

この結果、本発明によれば、液晶駆動回路の高機能化ならびに出力端子の増加に対しても、さらなる試験時間の短縮を実現し、この液晶駆動回路を有する半導体装置の試験技術としても、試験の高速化、さらには低コスト化を図ることが可能となる。

【図面の簡単な説明】

【図1】

本発明の一実施の形態の液晶駆動回路を有する半導体装置を示す構成図である。

【図2】

本発明の一実施の形態において、液晶駆動回路を示す構成図である。

【図3】

本発明の一実施の形態において、シフトレジスタをN分割した場合の液晶駆動回路を示す構成図である。

【図4】

本発明の一実施の形態において、シフトレジスタを2段構成にした場合の液晶駆動回路を示す構成図である。

【図5】

本発明の一実施の形態において、階調電圧生成回路および階調電圧選択回路を示す回路図である。

【図6】

本発明の一実施の形態において、階調電圧生成回路および階調電圧選択回路の各信号と階調出力との関係を示す説明図である。

【図 7】

(a), (b) は本発明の一実施の形態において、階調電圧生成回路内のスイッチ回路をトーナメント形で形成した場合を示す回路図と試験時の電圧値を示す説明図である。

【図 8】

本発明の一実施の形態において、個別試験項目を高速化する場合を示すテストフロー図である。

【図 9】

本発明の一実施の形態において、試験項目を並列化する場合を示すテストフロー図である。

【図 10】

本発明の一実施の形態において、試験項目を並列化する別の場合を示すテストフロー図である。

【図 11】

本発明の前提として検討した従来技術の液晶駆動回路を示す構成図である。

【図 12】

本発明の前提として検討した従来技術の階調電圧生成回路および階調電圧選択回路を示す回路図である。

【符号の説明】

- 1 ゲートドライバ
- 2 ソースドライバ
- 3 液晶駆動電圧発生回路
- 4, 4 a, 4 b 液晶表示コントローラ
- 5 液晶パネル
- 6 MPU
- 11 表示コントローラ
- 12 表示データRAM

1 3, 1 3 a ~ 1 3 n, 1 7 シフトレジスタ

1 4, 3 2 階調電圧生成回路

1 5, 1 5 a ~ 1 5 n, 3 3 階調電圧選択回路

1 6, 1 6 a, 3 4 スイッチ回路

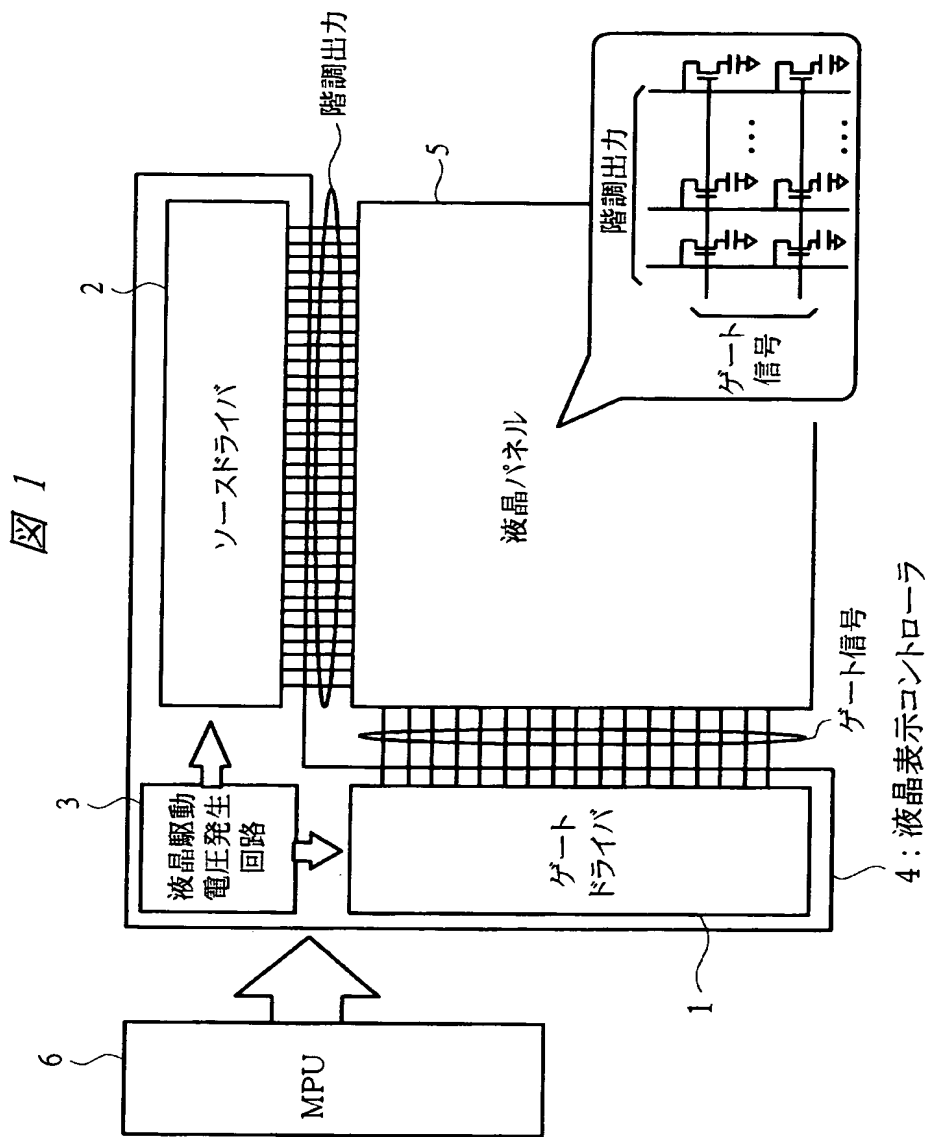
2 1, 2 2 デコーダ回路

3 1 ラインバッファ

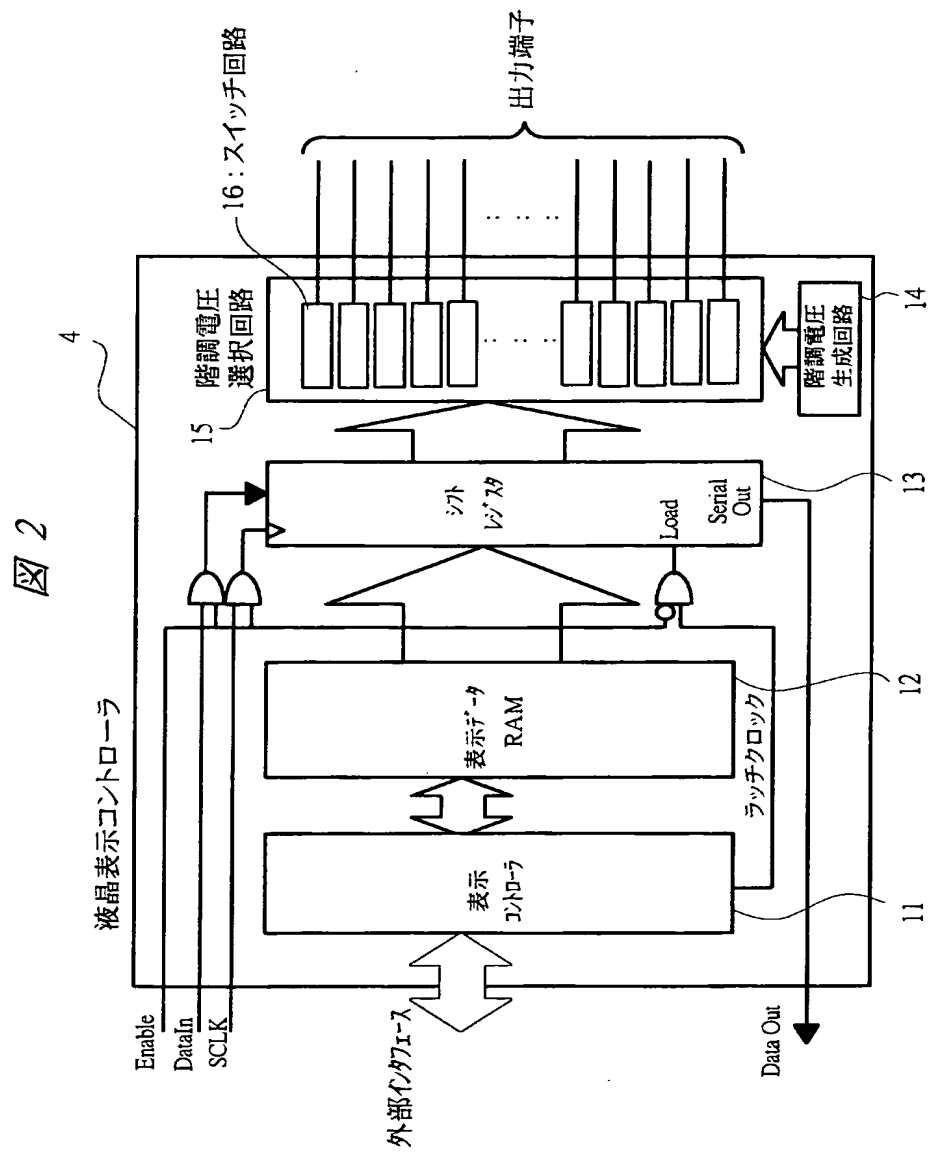
3 5 テスタ

【書類名】 図面

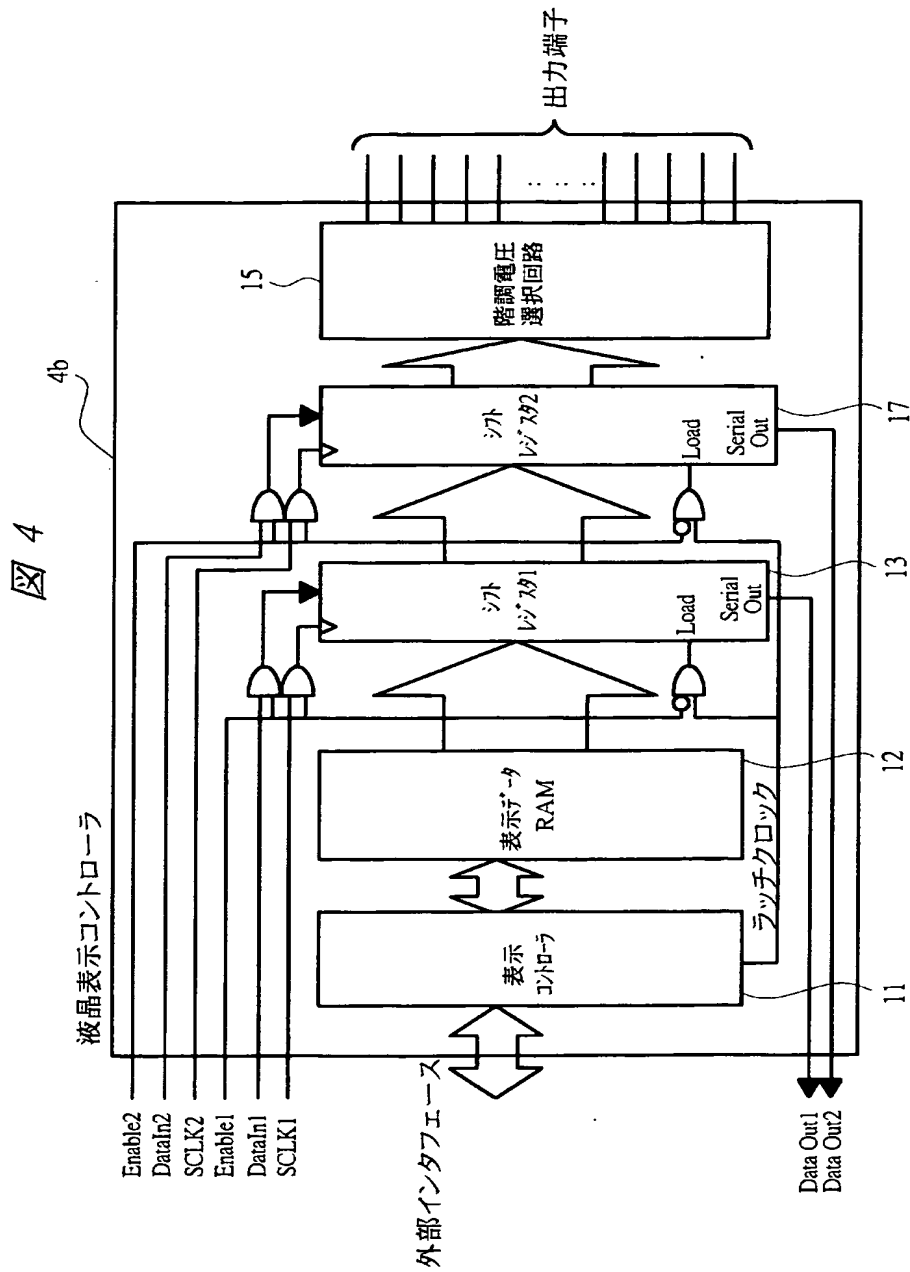
【図 1】



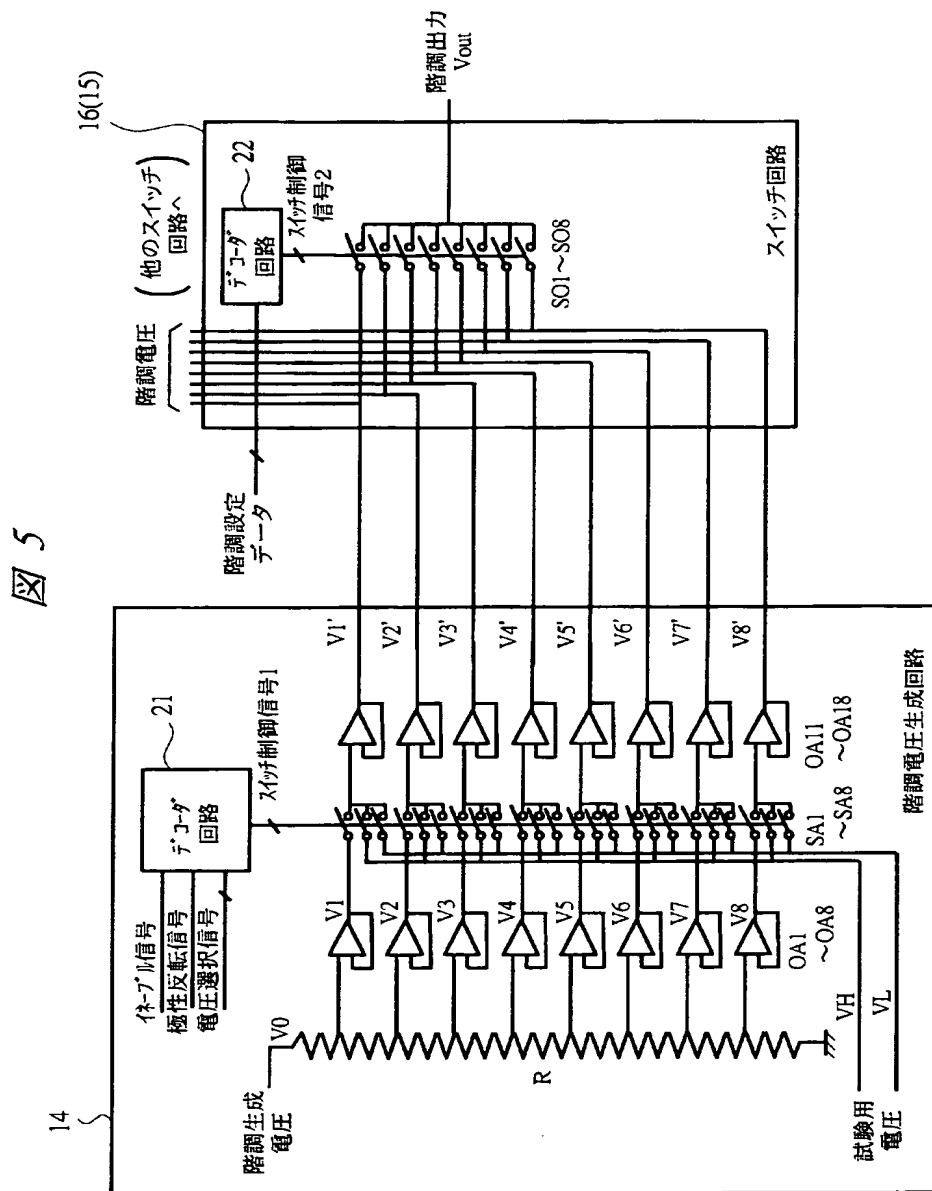
【図 2】



【図 4】



【図 5】



【図 6】

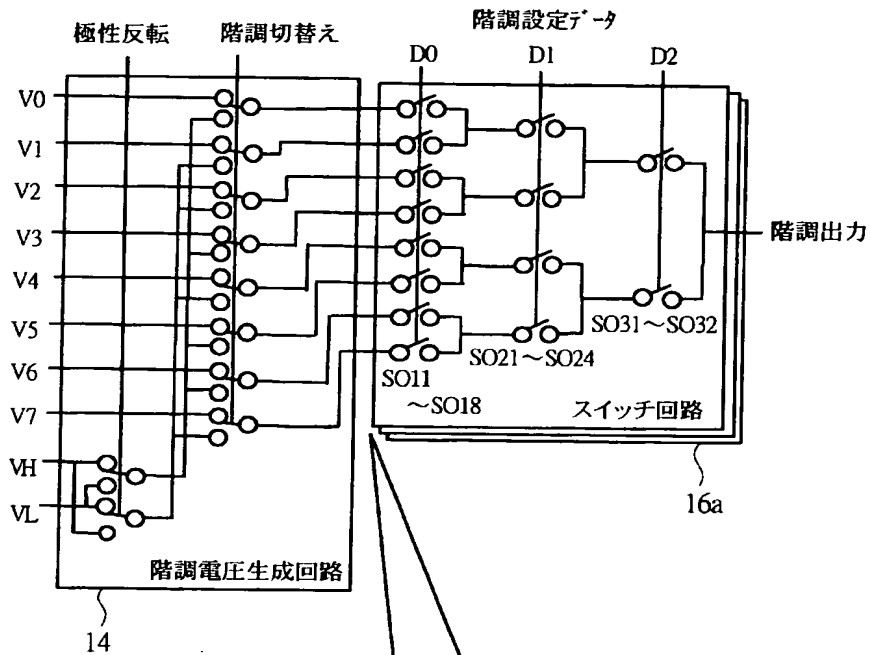
図 6

階調設定 データ	休-プル 信号	極性反転 信号	電圧選択 信号	階調電圧生成回路出力								階調出力 Vout	
				V1'	V2'	V3'	V4'	V5'	V6'	V7'	V8'		
0	0	不定	不定	V1	V2	V3	V4	V5	V6	V7	V8	V1	
1												V2	
2												V3	
3												V4	
4												V5	
5												V6	
6												V7	
7												V8	
0	1	0	階調設定 データと 同じ	VH	VL	VL	VL	VL	VL	VL	VL	VH	
1				VL	VH	VL	VL	VL	VL	VL	VL	VH	
2				VL	VL	VH	VL	VL	VL	VL	VL	VH	
3				VL	VL	VL	VH	VL	VL	VL	VL	VH	
4				VL	VL	VL	VL	VH	VL	VL	VL	VH	
5				VL	VL	VL	VL	VL	VH	VL	VL	VH	
6				VL	VL	VL	VL	VL	VL	VH	VL	VH	
7				VL	VL	VL	VL	VL	VL	VL	VH	VH	
0		1		VL	VH	VH	VH	VH	VH	VH	VH	VL	
1				VH	VL	VH	VH	VH	VH	VH	VH	VL	
2				VH	VH	VL	VH	VH	VH	VH	VH	VL	
3				VH	VH	VH	VL	VH	VH	VH	VH	VL	
4				VH	VH	VH	VH	VL	VH	VH	VH	VL	
5				VH	VH	VH	VH	VH	VL	VH	VH	VL	
6				VH	VH	VH	VH	VH	VH	VL	VH	VL	
7				VH	VH	VH	VH	VH	VH	VH	VL	VL	

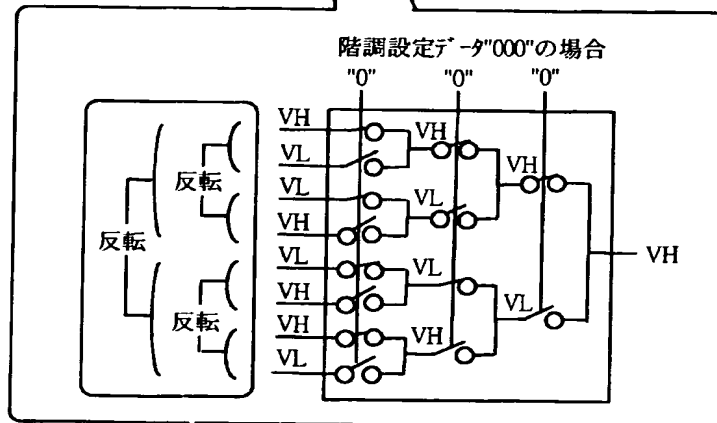
【図 7】

図 7

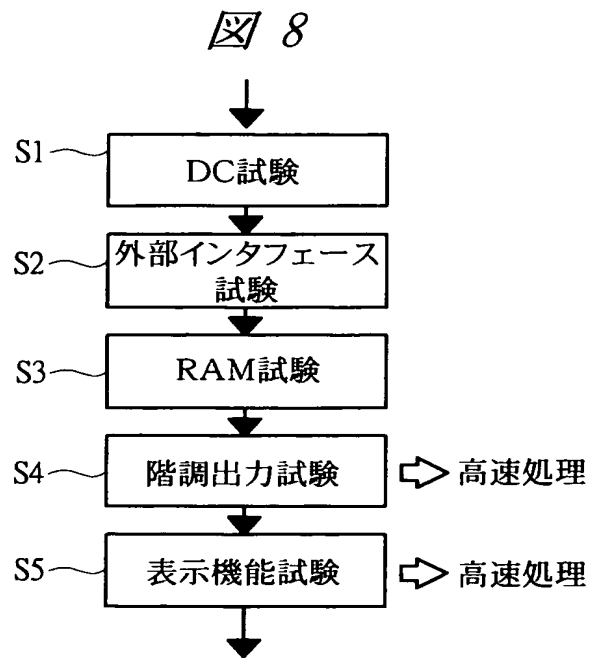
(a)



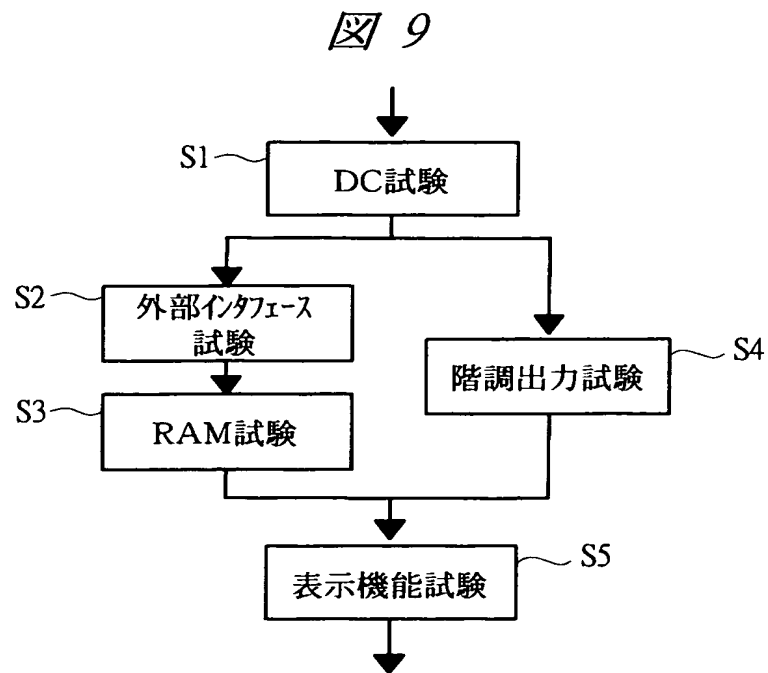
(b)



【図 8】

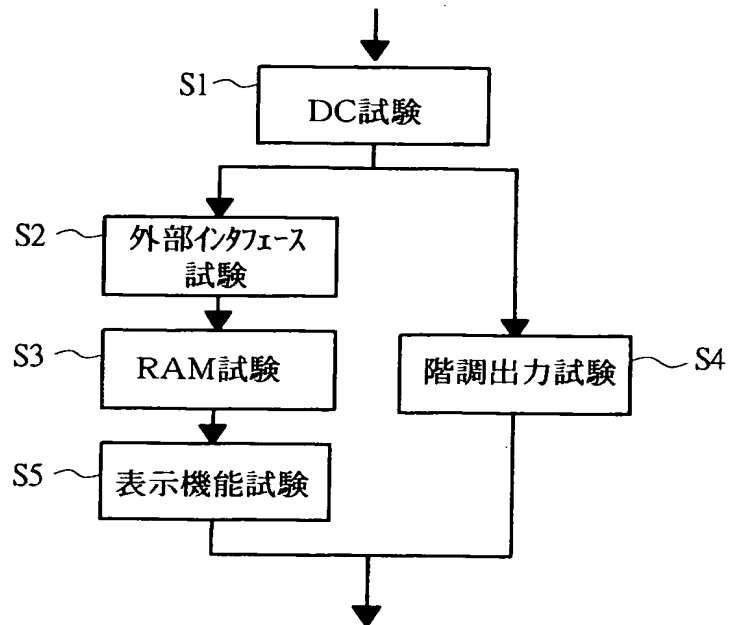


【図 9】

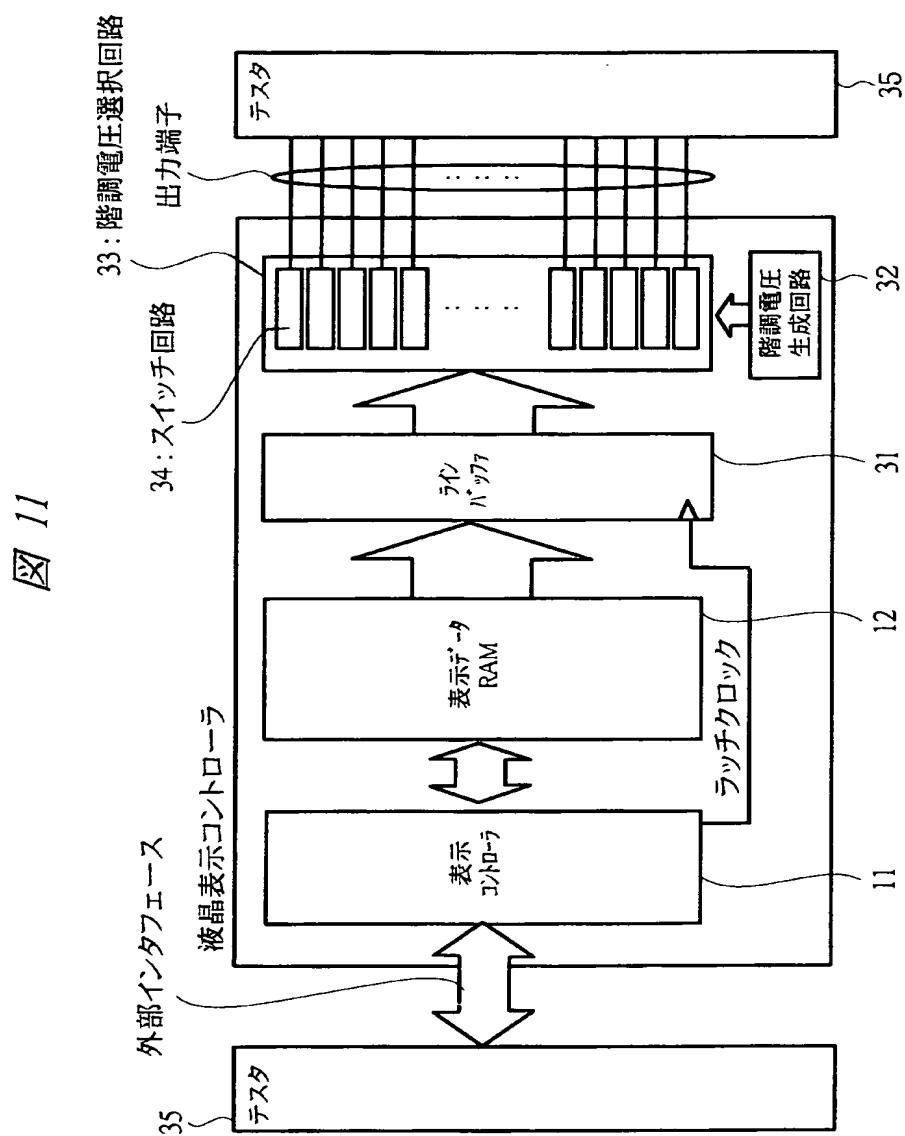


【図 10】

図 10

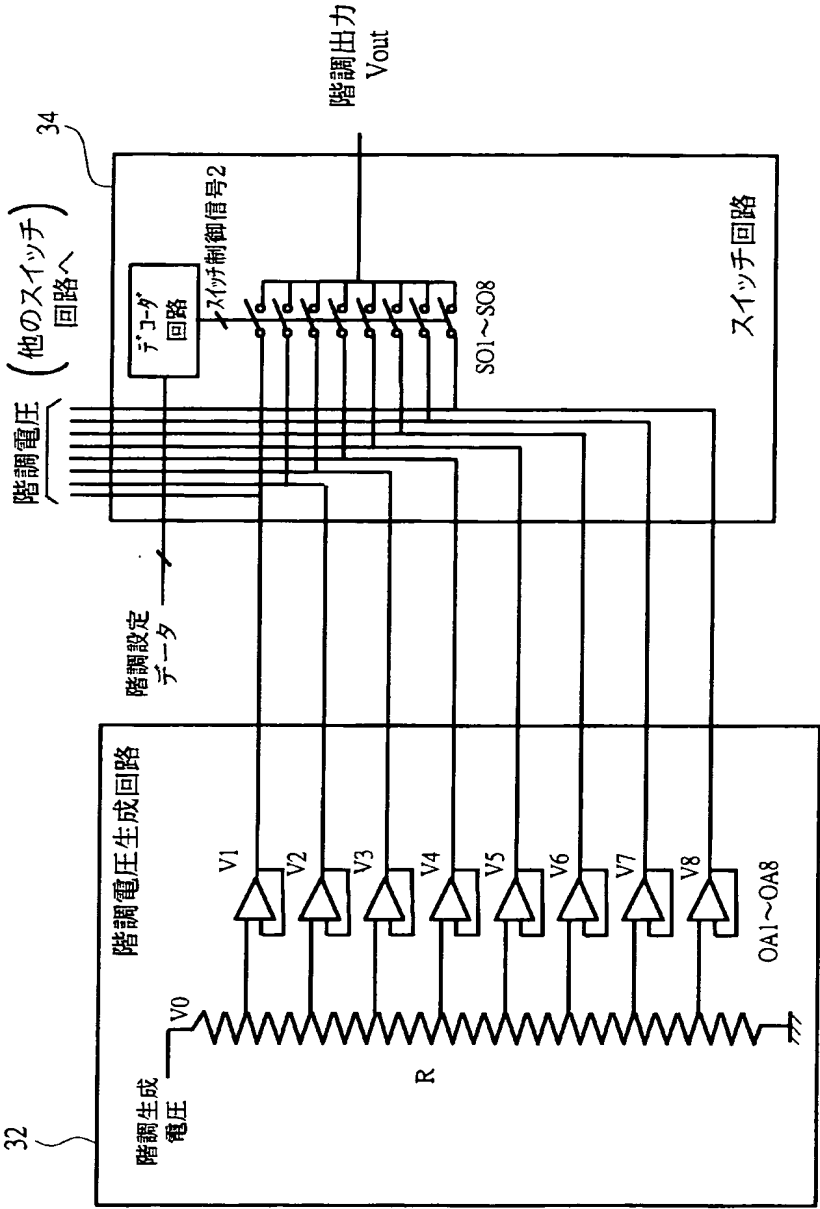


【図 1 1】



【図 12】

図 12



【書類名】 要約書

【要約】

【課題】 液晶駆動回路の高機能化ならびに出力端子の増加に対しても、さらなる試験時間の短縮を実現し、試験の高速化、さらには低コスト化を図ることができ、液晶駆動回路を有する半導体装置の試験技術を提供する。

【解決手段】 携帯用カラー T F T 液晶ドライバなどの液晶駆動回路を有する半導体装置であって、表示コントローラ 11 と表示データ R A M 12 からなるデジタル機能部と、階調電圧生成回路 14 と階調電圧選択回路 15 からなるアナログ機能部とを機能的に分割し、デジタル機能部の出力を液晶駆動回路の外部に出力し、あるいは液晶駆動回路の外部から階調電圧選択回路 15 の制御をデジタル機能部と独立に制御し、またデジタル機能部の試験をアナログ機能部と独立して行う。さらに、階調電圧生成回路 14 の出力電圧を 2 値電圧に切り替え、各階調電圧を異なる 2 値の電圧に選択的に設定して階調出力試験を実現する。

【選択図】 図 2

【書類名】 出願人名義変更届（一般承継）

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2003- 91313

【承継人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【承継人代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【提出物件の目録】

【包括委任状番号】 0308729

【物件名】 承継人であることを証明する登記簿謄本 1

【援用の表示】 特許第 3 1 5 4 5 4 2 号 平成 1 5 年 4 月 1 1 日付け
提出の会社分割による特許権移転登録申請書 を援用
する

【物件名】 権利の承継を証明する承継証明書 1

【援用の表示】 特願平 4 - 7 1 7 6 7 号 同日提出の出願人名
義変更届（一般承継）を援用する

【プルーフの要否】 要

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 9 1 3 1 3
受付番号	5 0 3 0 1 1 9 5 0 3 2
書類名	出願人名義変更届（一般承継）
担当官	小野寺 光子 1 7 2 1
作成日	平成 1 5 年 9 月 4 日

< 認定情報・付加情報 >

【提出日】	平成 1 5 年 7 月 1 8 日
-------	--------------------

特願 2 0 0 3 - 0 9 1 3 1 3

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 1 0 8]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所

特願 2 0 0 3 - 0 9 1 3 1 3

出 願 人 履 歴 情 報

識別番号

[5 0 3 1 2 1 1 0 3]

1 . 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ